

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-149227

(43)Date of publication of application : 02.06.1998

(51)Int.Cl. G06F 1/10  
G11C 11/407  
H03K 5/26  
H03L 7/00

(21)Application number : 08-308089

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.11.1996

(72)Inventor : NISHIMURA KOICHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

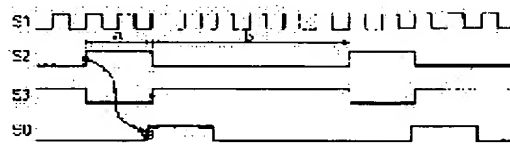
### (57)Abstract:

**PROBLEM TO BE SOLVED:** To generate a phase-synchronized control signal for the case wherein a control signal in use has a higher frequency by performing a phase synchronizing process in synchronism with timing which is delayed by 2 cycles of a 1st control signal.

**SOLUTION:** A frequency dividing circuit receives a signal S1 (external clock CLK) as the output of an input circuit and outputs an 8-frequency-divided(a+b) signal S2 which has a high level 'H' for two cycles (period a) and a low level 'L' for six cycles (period b), and a signal S3 which is opposite in phase from it.

The signal S2 is delayed by a dummy delay circuit, etc., and supplied as a signal S0 to one input of a phase comparing circuit. The signal S3 is supplied to the other input of the phase comparing circuit. The phase comparing circuit compares the phases in the timing of a rise of the signal S3 of the frequency dividing circuit and in the timing of a rise of the signal

S0 with each other and a delay control circuit gives the same delay to a delay circuit and the dummy delay circuit according to the comparison result.



## LEGAL STATUS

[Date of request for examination] 29.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

**THIS PAGE BLANK (USPTO)**

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

**THIS PAGE BLANK (USPTO)**

## 公開特許公報フロントページ

(11)公開番号：特開平10-149227

(43)公開日：1998年06月02日

(51)Int.Cl.6

G06F 1/10  
G11C 11/407  
H03K 5/26  
H03L 7/00

(21)出願番号：特願平08-308089

(71)出願人：富士通株式会社

(22)出願日：1996年11月19日

(72)発明者：西村 幸一

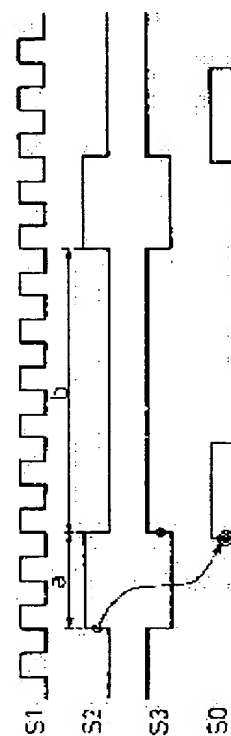
(54) 半導体集積回路

(57)【要約】

【課題】半導体集積回路に使用する制御信号の周波数がさらに速くなると、DLL回路により1クロックサイクル前の外部クロックから位相同期した内部クロックを生成することができず、また、出力する制御信号も不安定となる。

【解決手段】入力する第1の制御信号から第2の制御信号を生成し、該第2の制御信号の遅延に対応した遅延量を与える遅延量付与手段を用い、該第1の制御信号に位相同期処理して第2の制御信号を対象回路へ供給する半導体集積回路であって、前記位相同期処理を、前記第1の制御信号の2周期以上遅延したタイミングに同期して行うように構成する。

図3は本発明の第2の実施形態を示すタイミング図である。



リーガルステータス

【審査請求日】

1999年10月29日

【拒絶査定発送日】

【最終処分種別】

【最終処分日】

【特許番号】

【登録日】

【拒絶査定不服審判番号】

【拒絶査定不服審判請求日】

【本権利消滅日】

Copyright (C); 1998,2000 Japanese Patent Office



## 【特許請求の範囲】

【請求項 1】 入力する第 1 の制御信号から第 2 の制御信号を生成し、該第 2 の制御信号の遅延に対応した遅延量を与える遅延量付与手段を用い、該第 1 の制御信号に位相同期処理して第 2 の制御信号を対象回路へ供給する半導体集積回路であって、前記位相同期処理を、前記第 1 の制御信号の 2 周期以上遅延したタイミングに同期して行うようにしたことを特徴とする半導体集積回路。

【請求項 2】 入力する第 1 の制御信号から第 2 の制御信号を生成し、該第 2 の制御信号の遅延に対応した遅延量を与える遅延量付与手段を用い、該第 1 の制御信号に位相同期処理して第 2 の制御信号を対象回路へ供給する半導体集積回路であって、前記位相同期処理を、前記第 1 の制御信号の 2 周期以上の間隔毎に行うようにしたことを特徴とする半導体集積回路。

【請求項 3】 制御信号が供給され、該制御信号に所定の遅延を与えた信号を対象回路へ供給する第 1 の遅延回路と、前記制御信号が供給される分周回路と、該分周回路の第 1 の出力信号が供給される第 2 の遅延回路と、前記分周回路の第 2 の出力信号が第 1 の入力に供給され、且つ、前記第 1 の遅延回路の出力信号が前記対象回路へ供給されるまでの遅延に対応する遅延量を与える遅延量付与手段を介して前記第 2 の遅延回路の出力信号が第 2 の入力に供給される位相比較回路と、該位相比較回路の出力が供給され、前記第 1 および第 2 の遅延回路の遅延量を制御する遅延制御回路とを具備し、前記分周回路は、X を 2 以上の整数として、前記制御信号を X 分周した前記第 1 および第 2 の出力信号を生成し、該制御信号の X 周期毎に前記位相比較回路の位相比較処理を行うようにしたことを特徴とする半導体集積回路。

【請求項 4】 請求項 3 記載の半導体集積回路において、前記分周回路の第 1 および第 2 の出力信号は相補信号であることを特徴とする半導体集積回路。

【請求項 5】 請求項 3 記載の半導体集積回路において、前記分周回路は、Y を 2 以上の整数で Z を正の整数として、前記制御信号の Y 周期だけの期間が第 1 のレベルで該制御信号の Z 周期だけの期間が第 2 のレベルとなる前記第 1 の出力信号を生成し、該制御信号の Y 周期だけ遅延したタイミングで前記位相比較回路の位相比較処理を行うようにしたことを特徴とする半導体集積回路。

【請求項 6】 制御信号が供給され、該制御信号に所定の遅延を与える第 1 の遅延回路と、該第 1 の遅延回路の出力信号がリアル配線を介して供給される対象回路と、

前記制御信号が供給される分周回路と、該分周回路の第 1 の出力信号が供給される第 2 の遅延回路と、

前記分周回路の第 2 の出力信号が第 1 の入力に供給され、且つ、前記リアル配線に対応する遅延量を与えるダミー配線を介して前記第 2 の遅延回路の出力信号が第 2 の入力に供給される位相比較回路と、該位相比較回路の出力が供給され、前記第 1 および第 2 の遅延回路の遅延量を制御する遅延制御回路とを具備

し、前記分周回路は、X を 2 以上の整数として、前記制御信号を X 分周した前記第 1 および第 2 の出力信号を生成し、該制御信号の X 周期毎に前記位相比較回路の位相比較処理を行うようにしたことを特徴とする半導体集積回路。

【請求項 7】 請求項 6 記載の半導体集積回路において、前記分周回路の第 1 および第 2 の出力信号は相補信号であることを特徴とする半導体集積回路。

【請求項 8】 請求項 6 記載の半導体集積回路において、前記分周回路は、Y を 2 以上の整数で Z を正の整数として、前記制御信号の Y 周期だけの期間が第 1 のレベルで該制御信号の Z 周期だけの期間が第 2 のレベルとなる前記第 1 の出力信号を生成し、該制御信号の Y 周期だけ遅延したタイミングで前記位相比較回路の位相比較処理を行うようにしたことを特徴とする半導体集積回路。

【請求項 9】 請求項 6 記載の半導体集積回路において、前記制御信号は入力回路を介して供給され、前記位相比較回路の第 2 の入力には、前記ダミー配線、前記対象回路の入力遅延と同じ遅延を与えるダミー対象回路、および、前記入力回路と同じ遅延量を与えるダミー入力回路を介して前記第 2 の遅延回路の出力が供給されるようになっていることを特徴とする半導体集積回路。

【請求項 10】 請求項 9 記載の半導体集積回路において、前記入力回路の遅延時間と、前記第 1 の遅延回路の最小の遅延時間と、前記ダミー配線の遅延時間と、前記対象回路の入力における遅延時間との合計が前記制御信号の 1 周期の時間よりも長い場合、前記制御信号の 2 周期以上遅延したタイミングで前記位相比較回路の位相比較処理を行うようにしたことを特徴とする半導体集積回路。

【請求項 11】 請求項 6 ～ 10 のいずれか 1 項に記載の半導体集積回路において、前記半導体集積回路はシンクロナス DRAM であり、前記対象回路は該シンクロナス DRAM の出力回路であることを特徴とする半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体集積回路に関し、特に、位相同期した制御信号を使用する半導体集積回路に関する。近年、半導体集積回路は高速化および高

集積化が進み、クロック信号に対しても、位相の同期したクロック信号を所定の回路へ供給することが必要になって来ている。具体的に、例えば、シンクロナスDRAM (SDRAM) においては、DLL (Delay Locked Loop) 回路を使用して外部クロックに位相同期した信号を複数の出力バッファ回路に対して供給するようになってい

#### 【0002】

【従来の技術】近年のメモリ・デバイスは、例えば、100MHzを超える動作速度を達成しており、DLL等の技術を利用して外部入力クロック信号と内部出力クロック信号との位相を合わせることで、内部のクロック配線による遅れの影響を除いてアクセス時間の遅れやバラツキを抑える方法が用いられている。

【0003】このようなDLL技術では、内部出力クロック信号線の負荷による伝搬遅延を見積もるために、ダミーの回路を設けるようになってい

【0004】図1に示されるように、DLL回路3は、位相比較回路（デジタル位相比較器）31、遅延制御回路32、遅延回路33、および、ダミー遅延回路34を備えて構成されている。位相比較回路31には、外部クロック（外部入力クロック信号）CLKが入力回路21を介して供給される（信号S1）と共に、外部クロックCLKがダミー遅延回路34、ダミー配線42、ダミー出力回路52並びにダミー入力回路22を介して供給され（信号S0）、これらの信号S1およびS0の位相比較を行って遅延制御回路32を制御するようになってい

【0005】遅延制御回路32は、位相比較回路31からの出力に応じて、遅延回路33およびダミー遅延回路34に対して同じ遅延量を与えるようにそれぞれ制御するようになってい

ロック信号（内部クロック信号）は、入力回路21、遅延回路33、クロック配線（リアル配線）41および出力回路51による遅延が、見かけ上、存在しないようなタイミングで供給されることになる。

【0006】ところで、例えば、SDRAMの動作周波数がさらに速くなり、外部クロックCLKの周期がさらに短くなると、上述したダミー配線42等による遅延時間が該外部クロックCLKの1周期よりも長くなる。具体的に、入力回路21の遅延時間、遅延回路33の最小の遅延時間、リアル配線41の遅延時間、および、出力回路51の遅延時間の合計（ダミー入力回路22の遅延時間、ダミー遅延回路34の最小の遅延時間、ダミー配線42の遅延時間、および、ダミー出力回路52の遅延時間の合計に対応）が、外部クロックCLKの1クロック分の時間（1クロックサイクル）よりも長くなると、位相比較回路31では、入力回路21を介して供給される信号S1と、ダミー入力回路22の出力信号S0との位相比較を行うことができない。すなわち、1クロックサイクル前の外部クロックから位相同期した内部クロックを生成することができないことになる。

#### 【0007】

【発明が解決しようとする課題】上述したように、図1に示す関連技術の半導体集積回路は、該半導体集積回路に使用する制御信号の周波数がさらに速くなると、DLL回路3により1クロックサイクル前の外部クロックから位相同期した内部クロックを生成することができないことになる。

【0008】また、位相比較回路31により位相比較をクロックの各週期毎（各クロックサイクル毎）に行うと、例えば、ロウアドレスストロブ信号（RAS信号）やコラムアドレスストロブ信号（CAS信号）の出力による電源電圧の変動、或いは、ノイズ等による電源電圧の変動等のために、遅延制御回路32による遅延回路33（ダミー遅延回路34）の制御が頻繁に行われ、内部出力クロック信号が微妙に振れることになって、好ましくない。

【0009】本発明は、使用する制御信号の周波数がさらに高速化した場合での位相同期した制御信号を生成することのできる半導体集積回路の提供を目的とする。さらに、位相比較を所定のタイミングで行って、出力する制御信号を安定させることも目的とする。

#### 【0010】

【課題を解決するための手段】本発明の第1の形態によれば、入力する第1の制御信号から第2の制御信号を生成し、該第2の制御信号の遅延に対応した遅延量を与える遅延量付与手段を用い、該第1の制御信号に位相同期処理して第2の制御信号を対象回路へ供給する半導体集積回路であって、前記位相同期処理を、前記第1の制御信号の2周期以上遅延したタイミングに同期して行うようにしたことを特徴とする半導体集積回路が提供され



る。

【0011】また、本発明の第2の形態によれば、入力する第1の制御信号から第2の制御信号を生成し、該第2の制御信号の遅延に対応した遅延量を与える遅延量付与手段を用い、該第1の制御信号に位相同期処理して第2の制御信号を対象回路へ供給する半導体集積回路であって、前記位相同期処理を、前記第1の制御信号の2周期以上の間隔毎に行うようにしたことを特徴とする半導体集積回路が提供される。

【0012】本発明の半導体集積回路の第1の形態によれば、位相同期処理を、第1の制御信号の2周期以上遅延したタイミングで同期して行うようになっている。これによって、使用する制御信号の周波数がさらに高速化した場合にも、位相同期した制御信号を生成することができる。また、本発明の半導体集積回路の第2の形態によれば、位相同期処理を、第1の制御信号の2周期以上の間隔毎に行うようになっている。これによって、位相比較を所定のタイミングで行って、出力する制御信号を安定させることができる。

【0013】

【発明の実施の形態】以下、図面を参照して本発明に係る半導体集積回路の実施例を説明する。図2は本発明に係る半導体集積回路の一実施例を示すブロック図である。図2において、参照符号1はクロック入力パッド、21は入力回路（クロックバッファ）、22はダミー入力回路（クロックバッファ）、そして、3はDLL回路を示している。さらに、参照符号41はクロック配線（リアル配線）、42はダミー配線、51は出力回路（出力バッファ：対象回路）、52はダミー出力回路（出力バッファ）、6はデータ出力パッド、そして、7はダミー負荷容量を示している。

【0014】図2に示されるように、DLL回路3は、分周回路30、位相比較回路（デジタル位相比較器）31、遅延制御回路32、遅延回路33、および、ダミー遅延回路34を備えて構成されている。分周回路30には、入力回路21を介して外部クロックCLK（信号S1：第1の制御信号）が供給され、該外部クロックCLKを分周した信号を出力するようになっている。すなわち、分周回路30は、第1の出力信号（信号S2）をダミー遅延回路34へ出力すると共に、第2の出力信号（信号S3）を位相比較回路31の第1の入力へ出力するようになっている。位相比較回路31の第2の入力には、分周回路30の第1の出力信号（信号S2）が、ダミー遅延回路34、ダミー配線42、ダミー出力回路52並びにダミー入力回路22を介して供給（信号S0）され、該位相比較回路31は、これらの信号S3および信号S0の位相比較を行って遅延制御回路32を制御するようになっている。なお、遅延回路33の出力信号（第2の制御信号）は、DLL回路3の出力信号としてクロック配線（リアル配線）41を介して出力回路（対

象回路）51に供給されることになる。

【0015】遅延制御回路32は、位相比較回路31からの出力（位相比較結果）に応じて、遅延回路33およびダミー遅延回路34に対して同じ遅延量を与えるように、各遅延回路33、34を制御するようになっている。従って、出力回路51におけるクロック信号（内部クロック信号）は、入力回路21、遅延回路33、リアル配線41および出力回路51による遅延が、見かけ上、存在しないようなタイミングで供給されることになる。

【0016】ところで、クロックの周期が入力回路21と出力回路51とそれらの間の配線（クロック配線41）等の遅延よりも短くなると、1つ前の外部クロックからDLL回路3を用いて内部クロックを生成することができなくなる。そこで、本実施例では、クロックの周期が配線遅延等よりも短くなる場合には、1つ前の外部クロックではなく、2つ前の外部クロックから内部クロックを生成するようになっている。すなわち、外部クロックCLKの2周期だけ遅延したタイミングで位相比較回路31の位相比較処理を行うようになっている。

【0017】本実施例では、以下に説明する分周回路30により、位相比較回路31で位相を比較する時に、「DLL回路3から出力されたクロック」の立上りエッジと「DLL回路3に入力された外部クロックの2周期だけ遅延した外部クロック」の立上りエッジで同期をとる（ロックする）ようになっている。すなわち、本実施例では、図2に示されるように、入力回路21の出力が供給される分周回路30を設け、該分周回路30の第1の出力信号S2をダミー遅延回路34に供給し、且つ、第2の出力信号S3を位相比較回路31の第1の入力に供給するようになっている。

【0018】図3は図2の半導体集積回路における分周回路の一例を示す回路図であり、図4は図3の分周回路の各ノードの信号波形を示す図である。ここで、図3に示す分周回路30は、図4の波形図から明らかなように、入力信号S1（外部クロックCLK）を8分周して、外部クロックCLKの2クロックサイクル分の期間が高レベル“H”（または、低レベル“L”）で、6サイクル分の期間が低レベル“L”（または、高レベル“H”）となる信号S2（信号S3）を生成するものである。

【0019】図3に示されるように、分周回路30は、複数のナンドゲートおよびインバータより成る3段のカウンタ301～303として構成され、該分周回路30に対して信号S1（入力回路21を介した外部クロックCLK）を供給して、図4に示すような第1および第2の出力信号S2およびS3を生成するようになっている。なお、図4において、参照符号Aは1つ目のカウンタ301の出力信号、Bは2つ目のカウンタ302の出力信号であり、各信号波形は、図4に示す通りである。

また、分周回路30は、複数のナンドゲートおよびインバータより成る3段のカウンタで構成するものに限定されず、様々な論理ゲートの組み合わせとして構成することができるのはいうまでもない。

【0020】図5は図3の分周回路を使用した半導体集積回路の動作を説明するためのタイミング図である。図5に示されるように、分周回路30は、入力回路21の出力である信号S1（外部クロックCLK）を受けて、2周期の間（図5中の期間a）だけ高レベル“H”で、6周期の間（図5中の期間b）だけ低レベル“L”となる8分周（a+b）した信号S2（第1の出力信号）と、その逆相の信号S3（第2の出力信号）を出力する。ここで、第1の出力信号S2はダミー遅延回路34に供給され、第2の出力信号S3は位相比較回路31の一方の入力に供給される。なお、信号S0は、分周回路30の第1の出力信号S2がダミー遅延回路34、ダミー配線4、ダミー出力回路52およびダミー入力回路22により遅延され、位相比較回路31の他方の入力に供給された信号である。

【0021】位相比較回路（デジタル位相比較器）31は、分周回路30の第2の出力信号S3の立ち上がりタイミングと信号S0の立ち上がりタイミングとの位相を比較し、該比較結果に応じて遅延制御回路（シフトレジスタ）32が遅延回路33およびダミー遅延回路34に対して同じ遅延量を与えるように制御する。すなわち、DLL回路3は、入力回路21からの信号S1（外部クロックCLK）に対して、遅延回路33による遅延量が与えられたクロック信号（内部クロック信号）を出力するようになっている。これにより、DLL回路3で2クロックサイクル前の外部クロックから位相同期した内部クロックを生成することができ、DLL回路3を高速動作可能なSDRAMに対応させることができる。

【0022】なお、分周回路30の第1の出力信号S2における期間aを変化させることにより、何クロック前の外部クロックから、DLL回路3で内部クロックをつくるかを調節することができる。具体的に、信号S2の期間aを3クロック分の長さとするることにより、DLL回路3で3クロックサイクル前の外部クロックから位相同期した内部クロックを生成することができる。また、分周回路30の第1の出力信号S2における期間bを変える（a+b）ことによって、何周期毎に位相比較を行なうかを調節することができる。

【0023】従って、本実施例において、分周回路30は、Yを2以上の整数でZを正の整数として、信号S1（外部クロックCLK）をY周期だけ高レベル“H”で、該6信号S1のZ周期だけ低レベル“L”となる第1の出力信号S2を生成し、外部クロックCLKのY周期だけ遅延したタイミングで位相比較回路31の位相比較処理を行うようになっている。また、本実施例において、分周回路30は、Xを2以上の整数として、信号S

1（外部クロックCLK）をX分周した第1および第2の出力信号S2、S3を生成し、外部クロックCLKのX周期毎に位相比較回路31の位相比較処理を行うようになっている。

【0024】図6は図2の半導体集積回路における分周回路の他の例を示す回路図であり、図7は図6の分周回路の各ノードの信号波形を示す図である。ここで、図6に示す分周回路30は、図7の波形図から明らかなように、入力信号S1を8分周して、外部クロックCLKの1クロックサイクル分の期間が高レベル“H”で、7サイクル分の期間が低レベル“L”となる信号S2を生成するものである。

【0025】図6および図3の比較から明らかなように、図6に示す分周回路30は、図3に示す分周回路と同様に、複数のナンドゲートおよびインバータより成る3段のカウンタ301~303として構成され、2つ目のカウンタ302の出力B'を取り出すノードが図3のものと異なるだけである。図8は図6の分周回路を使用した半導体集積回路の動作を説明するためのタイミング図である。

【0026】図8に示すタイミング図は、単に、位相比較を行なう周期を、各周期毎に行うのではなく、例えば、8周期に1回の割合で行う場合に対応するものである。ここで、図8は、入力回路21の遅延時間、遅延回路33の最小の遅延時間、リアル配線41の遅延時間、および、出力回路51の遅延時間の合計が、外部クロックCLKの1クロック分の時間（1クロックサイクル）よりも短い場合、すなわち、DLL回路3で1クロックサイクル前の外部クロックから位相同期した内部クロックを生成することが可能な場合を示すものである。

【0027】このように、本実施例において、分周回路30は、Xを2以上の整数として、信号S1（外部クロックCLK）をX分周した第1および第2の出力信号S2、S3を生成し、外部クロックCLKのX周期毎に位相比較回路31の位相比較処理を行うようになっている。このように、位相比較回路31による位相比較をn周期に1回（例えば、8周期に1回）の割合で行うことにより、遅延制御回路32による遅延回路33（ダミー遅延回路34）の制御をn周期に1回の頻度で行い、例えば、ロウアドレスストローブ信号（RAS信号）やコラムアドレスストローブ信号（CAS信号）の出力による電源電圧の変動、或いは、ノイズ等による電源電圧の変動等に起因する内部出力クロック信号の振れを防止することができる。すなわち、位相比較を所定のタイミングで行うことにより、出力するクロック信号（制御信号）を安定させることができる。

【0028】図9は本発明の半導体集積回路における遅延回路33、34の一構成例を説明するための図であり、同図（a）は1ビット分の遅延回路の構成を示し、同図（b）は該1ビット分の遅延回路の動作のタイムチ

ャートを示し、そして、同図(c)は1ビット分の遅延回路を複数段接続した時の構成と動作説明を示すものである。

【0029】図9(a)に示されるように、1ビット分の遅延回路は2個のNANDゲート401と402、および、インバータ403を備えて構成される。この1ビット分の遅延回路の動作を図9(b)を参照して説明すると、入力 $\phi E$ は活性化信号(イネーブル信号)で、高レベル“H”の時に遅延回路が動作する。図9(b)では、イネーブル信号 $\phi E$ が高レベル“H”になって信号のアクセスが可能になった状態が示されている。なお、図9(b)において、INは1ビット分の遅延回路への入力信号を示し、また、 $\phi N$ は複数段接続された遅延回路のうち隣接する右側の遅延回路からの信号、OUTは1ビット分の遅延回路の出力信号、そして、4a-1および4a-2は図9(a)の回路において対応するノードの波形を示している。従って、OUTは左側に隣接する1ビット分の遅延回路における信号 $\phi N$ に対応する。

【0030】信号 $\phi N$ が低レベル“L”の時には、出力信号OUTは常に低レベル“L”になり、また、信号 $\phi N$ が高レベル“H”で信号 $\phi E$ が低レベル“L”の時には、出力信号OUTは高レベル“H”になる。信号 $\phi N$ が高レベル“H”で信号 $\phi E$ が高レベル“H”の時に、入力信号INが低レベル“L”であれば出力信号OUTは高レベル“H”になり、INが高レベル“H”であれば低レベル“L”になる。

【0031】図9(a)の回路によれば、イネーブル信号 $\phi E$ が高レベル“H”の状態を入力信号INが立ち上がると、その入力信号は矢印の経路に伝播するが、イネーブル信号 $\phi E$ が低レベル“L”の状態では、入力信号INが出力OUTに矢印の経路で伝播しないようになっている。図9(c)は、図9(a)に示す1ビット分の遅延回路を複数段カスケード接続した例であり、実際の遅延回路に相当する。ここで、図9(c)では3段しか描いていないが、実際には多数段接続されている。また、イネーブル信号 $\phi E$ の信号線は、回路要素毎に、 $\phi E-1$ 、 $\phi E-2$ 、 $\phi E-3$ のように複数本あり、これらの信号は遅延制御回路(32)によって制御される。

【0032】図9(c)では、中央の1ビット分の遅延回路が活性化されており、イネーブル信号 $\phi E-2$ が高レベル“H”になっている。この場合、入力信号INが低レベル“L”から高レベル“H”に変化すると、左端の1ビット分の遅延回路と右端の1ビット分の遅延回路のイネーブル信号 $\phi E-1$ および $\phi E-3$ は低レベル“L”であるから、太線のように入力信号INはNANDゲート401-1および401-3で止められてしまう。

【0033】一方、活性化されている中央の1ビット分の遅延回路のイネーブル信号 $\phi E-2$ は高レベル“H”レベルであるから、入力信号INはNANDゲート40

1-2を通過する。右側の1ビット分の遅延回路の出力信号OUTは高レベル“H”であるから、入力信号INはNANDゲート402-2も通過して、出力信号OUTとして低レベル“L”の信号が伝達されることになる。上記のように、右側の出力信号OUT、すなわち、イネーブル信号 $\phi N$ が低レベル“L”の時には、出力信号OUTは常に低レベル“L”になるので、この低レベル“L”の信号が左側の1ビット分の遅延回路のNANDゲートおよびインバータに順次伝達され、最終的な出力信号として取り出される。

【0034】このように、活性化された1ビット分の遅延回路を介して、入力信号INは折り返されるように信号伝達され、最終的な出力信号になる。つまり、どの部分のイネーブル信号 $\phi E$ を高レベル“H”にするかにより、遅延量を制御することができる。1ビット分の遅延量は、NANDゲートとインバータの合計の信号伝搬時間で決定され、この時間がDLL回路の遅延単位時間になり、そして、全体の遅延時間は、1ビット分の遅延量に通過する段数を乗じた量になる。

【0035】図10は本発明の半導体集積回路における遅延制御回路の一構成例を説明するための図である。図10に示されるように、遅延制御回路も点線で囲った1ビット分の遅延制御回路430-2を遅延回路の段数分接続した構成になっており、各段の出力が遅延回路の各段のイネーブル信号 $\phi E$ になる。

【0036】具体的に、1ビット分の遅延制御回路430-2は、NANDゲート432-2と、インバータ433-2で構成されるフリップフロップの両端にそれぞれ直列に接続されたトランジスタ435-2、437-2、438-2、439-2、および、NORゲート431-2を有している。トランジスタ438-2のゲートは、前段の1ビット分の遅延制御回路のノード5a-2に、トランジスタ439-2のゲートは、後段の1ビット分の遅延制御回路のノード5a-5に接続されて、前段と後段の信号を受けるようになっている。一方、直列接続されている他方のトランジスタには、カウントアップする時のセット信号 $\phi SE$ および $\phi SO$ と、カウントダウンする時のリセット信号 $\phi RE$ および $\phi RO$ が1ビット置きの回路に接続されている。

【0037】図10に示されるように、中央の1ビット分の遅延制御回路430-2では、トランジスタ435-2のゲートにセット信号 $\phi SO$ が供給され、トランジスタ437-2にリセット信号 $\phi RO$ が供給され、また、遅延制御回路430-2の前段および後段の両側の回路の各対応するトランジスタのゲートにはそれぞれセット信号 $\phi SE$ およびリセット信号 $\phi RE$ が供給されている。また、NORゲート431-2には、左側の(前段の)回路のノード5a-1と回路430-2のノード5a-4の信号が入力される構成になっている。なお、 $\phi R$ は遅延制御回路をリセットする信号で、電源投入後

に一時的に低レベル“L”レベルになり、その後は高レベル“H”に固定される。

【0038】図11は図10の遅延制御回路の動作を説明するためのタイミング図である。図11に示されるように、まず、リセット信号 $\phi R$ が一時的に低レベル

“L”になり、ノード5a-1, 5a-3, 5a-5が高レベル“H”、また、5a-2, 5a-4, 5a-6が低レベル“L”にリットされる。そして、カウントアップする時には、カウントアップ信号（セット信号） $\phi SE$ および $\phi SO$ が交互に高レベル“H”と低レベル“L”を繰り返す。

【0039】セット信号 $\phi SE$ が低レベル“L”から高レベル“H”になると、ノード5a-1は接地されて低レベル“L”になり、また、ノード5a-2は高レベル“H”に変化する。ノード5a-2が高レベル“H”に変化したのを受けて、出力信号（イネーブル信号） $\phi E-1$ は高レベル“H”から低レベル“L”に変化する。この状態はフリップフロップにラッチされるので、セット信号 $\phi SE$ が低レベル“L”に戻ったとしても、イネーブル信号 $\phi E-1$ は低レベル“L”のままである。そして、ノード5a-1が低レベル“L”に変化したことを受けて、イネーブル信号（出力信号） $\phi E-2$ が低レベル“L”から高レベル“H”に変化する。ノード5a-2が高レベル“H”に変化したのでトランジスタ438-2はオン状態になり、セット信号 $\phi SO$ が低レベル“L”から高レベル“H”になると、ノード5a-3は接地されて低レベル“L”に、また、ノード5a-4は高レベル“H”に変化する。さらに、ノード5a-4が高レベル“H”に変化したのを受けて、イネーブル信号 $\phi E-2$ は高レベル“H”から低レベル“L”に変化する。この状態はフリップフロップにラッチされるので、セット信号 $\phi SO$ が低レベル“L”に戻ったとしても、イネーブル信号 $\phi E-2$ は低レベル“L”のままである。

【0040】そして、ノード5a-3が低レベル“L”に変化したことを受けて、イネーブル信号 $\phi E-3$ が低レベル“L”から高レベル“H”に変化する。図11では、セット信号 $\phi SE$ および $\phi SO$ が1パルスずつ出ているだけであるが、遅延制御回路が何段にも接続されており、セット信号 $\phi SE$ および $\phi SO$ が交互に高レベル“H”と低レベル“L”を繰り返せば、出力信号（イネーブル信号） $\phi E$ が高レベル“H”になる段の位置が順次右側にシフトする。従って、位相比較回路31の比較結果により遅延量を増加させる必要がある場合には、交互にセット信号 $\phi SE$ および $\phi SO$ のパルスを入力すればよい。

【0041】カウントアップ信号（セット信号） $\phi SE$ および $\phi SO$ と、カウントダウン信号（リセット信号） $\phi RE$ および $\phi RO$ とが出力されない状態、すなわち低レベル“L”である状態が維持されれば、イネーブル信

号 $\phi E$ は高レベル“H”になる段の位置は固定される。従って、位相比較回路31の比較結果により遅延量を維持する必要がある場合には、信号 $\phi SE$ 、 $\phi SO$ 、 $\phi RE$ および $\phi RO$ のパルスを入力しないようにする。

【0042】カウントダウンする時には、リセット信号 $\phi RE$ および $\phi RO$ のパルスを交互に入力すると、カウントアップ時と逆に出力 $\phi E$ が高レベル“H”になる段の位置が順次左側にシフトする。以上説明したように、図10に示した遅延制御回路では、パルスを入力することにより、イネーブル信号 $\phi E$ が高レベル“H”になる段の位置を1つずつ移動させることが可能であり、これらのイネーブル信号 $\phi E$ で図9(c)に示した遅延回路を制御すれば遅延量を1単位ずつ制御することができる。

【0043】図12は本発明の半導体集積回路における位相比較回路（位相比較部）の一構成例を説明するための図であり、図13は図12の位相比較回路の動作を説明するためのタイミング図である。位相比較回路（31）は、図12に示す位相比較部と後述する図14に示す増幅回路部の2つの回路部分で構成されている。

【0044】図12において、参照符号 $\phi out$ および $\phi ext$ は、この位相比較回路で比較する出力信号と外部クロック信号を示し、信号 $\phi ext$ を基準として信号 $\phi out$ の位相が判定され、また、 $\phi a \sim \phi e$ は増幅回路に接続される出力信号を示している。図12に示されるように、位相比較回路31の位相比較部は、2個のNANDゲートで構成されたフリップフロップ回路421並びに422、その状態をラッチするラッチ回路425並びに426、ラッチ回路の活性化信号を生成する回路424、および、外部クロック信号 $\phi ext$ の位相許容値を得る1遅延分の遅延回路423を備えて構成されている。

【0045】図13(a)は比較対象信号 $\phi out$ が比較基準信号 $\phi ext$ よりも位相が進んでいる場合、すなわち、信号 $\phi out$ が信号 $\phi ext$ より先に低レベル“L”から高レベル“H”になる場合を示している。信号 $\phi out$ と信号 $\phi ext$ が共に低レベル“L”の時には、フリップフロップ回路421および422のノード6a-2, 6a-3, 6a-4, 6a-5は全て高レベル“H”になっている。信号 $\phi out$ が低レベル“L”から高レベル“H”に変化すると、ノード6a-2および6a-4は共に高レベル“H”から低レベル“L”に変化する。その後、信号 $\phi ext$ が低レベル“L”から高レベル“H”になり、また、1遅延分遅れてノード6a-1が低レベル“L”から高レベル“H”になるが、フリップフロップの両端の電位はすでに確定しているので、何ら変化は生じない。結局、ノード6a-2は低レベル“L”、ノード6a-3は高レベル“H”、ノード6a-4は低レベル“L”、そして、ノード6a-5は高レベル“H”を維持する。

【0046】一方、信号 $\phi_{ext}$ が低レベル“L”から高レベル“H”に変化したのに応じて、回路424の出力信号 $\phi_a$ は低レベル“L”から高レベル“H”に変化し、ノード6a-6には、一時的に高レベル“H”レベルになるパルスが印加される。このノード6a-6はラッチ回路425および426のNANDゲートの入力となっているので、該NANDゲートが一時的に活性化されて、フリップフロップ回路421および422の両端の電位状態をラッチ回路425および426に取り込むことになる。最終的には、出力信号 $\phi_b$ が高レベル“H”、出力信号 $\phi_c$ が低レベル“L”、出力信号 $\phi_d$ が高レベル“H”、そして、出力信号 $\phi_e$ が低レベル“L”になる。

【0047】次に、図13(b)は比較対象信号 $\phi_{out}$ と比較基準信号 $\phi_{ext}$ の位相がほぼ同じで、信号 $\phi_{out}$ が信号 $\phi_{ext}$ とほぼ同時に低レベル“L”から高レベル“H”になる場合を示している。信号 $\phi_{out}$ の立ち上がり時点とノード6a-1の立ち上がり時点との時間差内に、信号 $\phi_{out}$ が低レベル“L”から高レベル“H”に変化した時、まず、信号 $\phi_{ext}$ が低レベル“L”から高レベル“H”になることによってフリップフロップ421のノード6a-3が低レベル“L”から高レベル“H”に変化する。フリップフロップ422では、ノード6a-1が低レベル“L”のままなので、逆に、ノード6a-4が高レベル“H”から低レベル“L”に変化する。その後、ノード6a-1が高レベル“H”から低レベル“L”に変化するが、フリップフロップ422の状態はすでに決まっているので、何ら変化は生じない。その後、ノード6a-6が一時的に高レベル“H”になるので、ラッチ回路にはこの状態が記憶され、結局、出力信号 $\phi_b$ が低レベル“L”、出力信号 $\phi_c$ が高レベル“H”、出力信号 $\phi_d$ が高レベル“H”、そして、出力信号 $\phi_e$ が低レベル“L”になる。

【0048】更に、(c)は比較対象信号 $\phi_{out}$ が比較基準信号 $\phi_{ext}$ よりも位相が遅れており、 $\phi_{out}$ が $\phi_{ext}$ より後に低レベル“L”から高レベル“H”になる場合を示している。この場合は、 $\phi_{ext}$ によって2個のフリップフロップ回路421と422に変化が生じて、6a-3と6a-5が高レベル“H”から低レベル“L”に変化する。そして、最終的には、 $\phi_b$ が低レベル“L”、 $\phi_c$ が高レベル“H”、 $\phi_d$ が低レベル“L”、 $\phi_e$ が高レベル“H”になる。

【0049】このように、信号(比較基準信号) $\phi_{ext}$ の立ち上がり時間を基準として、信号(比較対象信号) $\phi_{out}$ の立ち上がり時間がそれ以前に高レベル“H”になったか、ほぼ同時であったか、或いは、遅れて高レベル“H”になったかを検出することが可能になる。これらの検出結果を出力信号 $\phi_b$ 、 $\phi_c$ 、 $\phi_d$ 、および、 $\phi_e$ の値としてラッチしておき、その値に基づいて遅延制御回路をカウントアップするか、カウントダウ

ンするかを決めることになる。

【0050】図14は本発明の半導体集積回路における位相比較回路(増幅回路部)の一構成例を説明するための図であり、図15は図14の位相比較回路におけるJKフリップフロップの動作を説明するためのタイミング図である。図14に示されるように、位相比較回路31の増幅回路部は、JKフリップフロップ427と、NANDゲートおよびインバータで構成される増幅部428との2つの部分を備えて構成されている。JKフリップフロップ427には、図12の位相比較部からの出力信号 $\phi_a$ が入力され、信号 $\phi_a$ が低レベル“L”であるか高レベル“H”であるかに応じてノード7a-9および7a-11の電位が交互に低レベル“L”と高レベル“H”を繰り返す仕組みになっている。増幅部428は、JKフリップフロップ427の出力信号と、信号 $\phi_b$ および $\phi_d$ の信号を受けて増幅して出力する。

【0051】まず、JKフリップフロップ427の動作を図15のタイミングチャートを参照して説明する。時間T1で、信号 $\phi_a$ が高レベル“H”から低レベル“L”に変化すると、ノード7a-1および7a-10が低レベル“L”から高レベル“H”に変化する。一方、ノード7a-1の変化に応じて、ノード7a-5、7a-6および7a-7が変化するが、信号 $\phi_a$ が低レベル“L”であるために、ノード7a-8は変化しない。結局、出力(ノード)7a-9は変化せず、出力7a-11のみが低レベル“L”から高レベル“H”になる。次に、時間T2になって、 $\phi_a$ が低レベル“L”から高レベル“H”に変化すると、時間T1での動きと逆にノード7a-8は高レベル“H”から低レベル“L”に、7a-10は7a-7が変化しないので変化せず、出力7a-9は低レベル“L”から高レベル“H”に変化し、出力7a-11は変化しない。このように、JKフリップフロップ回路427は、信号 $\phi_a$ の動きに応じて出力7a-9および7a-11が交互に高レベル“H”と低レベル“L”を繰り返す動きをする。

【0052】図16は図14の位相比較回路における増幅回路部の動作を説明するためのタイミング図(カウントアップ時)であり、図17は図14の位相比較回路における増幅回路部の動作を説明するためのタイミング図(カウント維持時)であり、そして、図18は図14の位相比較回路における増幅回路部の動作を説明するためのタイミング図(カウントダウン時)である。次に、増幅部428の動作を、図16～図18を参照して説明する。

【0053】図16は、比較基準信号 $\phi_{ext}$ の立ち上がりに対して、比較対象信号 $\phi_{out}$ が先に低レベル“L”から高レベル“H”になる場合を示している。この場合の位相比較部からの入力信号は、信号 $\phi_b$ が高レベル“H”、信号 $\phi_c$ が低レベル“L”、信号 $\phi_d$ が高レベル“H”、そして、信号 $\phi_e$ が低レベル“L”であ

る。結局、ノード7a-12が高レベル“H”になり、ノード7a-13が低レベル“L”に固定され、セット信号 $\phi$ SOおよび $\phi$ SEはJKフリップフロップの状態に応じて変化するが、リセット信号 $\phi$ ROおよび $\phi$ REは7a-13が低レベル“L”のために変化しない。

【0054】図17は、比較対象信号 $\phi$ outが比較基準信号 $\phi$ extとほぼ同時に低レベル“L”から高レベル“H”になる場合を示している。この場合の位相比較部からの入力信号は、信号 $\phi$ bが低レベル“L”、信号 $\phi$ cが高レベル“H”、信号 $\phi$ dが高レベル“H”、そして、信号 $\phi$ eが低レベル“L”である。結局、ノード7a-12および7a-13が低レベル“L”に固定され、リセット信号 $\phi$ SOおよび $\phi$ SEはJKフリップフロップの出力が増幅部に影響することなく、信号 $\phi$ SO、 $\phi$ SE、 $\phi$ ROおよび $\phi$ REは低レベル“L”に固定されたままになる。

【0055】図18は、比較対象信号 $\phi$ outが比較基準信号 $\phi$ extの立ち上がりに対して遅れて低レベル“L”から高レベル“H”になる場合を示している。この場合の位相比較部からの入力信号は、信号 $\phi$ bが低レベル“L”、信号 $\phi$ cが高レベル“H”、信号 $\phi$ dが低レベル“L”、そして、信号 $\phi$ eが高レベル“H”である。結局、ノード7a-12が低レベル“L”に固定され、ノード7a-13が高レベル“H”に固定され、リセット信号 $\phi$ ROおよび $\phi$ REはJKフリップフロップの状態に応じて変化するが、セット信号 $\phi$ SOおよび $\phi$ SEはノード7a-13が低レベル“L”のために変化しない。

【0056】図19は本発明に係る半導体集積回路が適用される一例としてのシンクロナスDRAMの構成を示す図であり、図20は図19のシンクロナスDRAMの動作を説明するためのタイミング図である。本発明が適用される半導体集積回路の一例としてのシンクロナスDRAM (SDRAM) は、例えば、パイプライン方式が採用され、16M・2バンク・8ビット幅のものとして構成されている。

【0057】図19に示されるように、SDRAMは、汎用DRAMのDRAMコア108a、108bの他に、クロックバッファ101、コマンドデコーダ102、アドレスバッファ/レジスタ&バンクアドレスセレクト (アドレスバッファ) 103、I/Oデータバッファ/レジスタ104、制御信号ラッチ105a、105b、モードレジスタ106、コラムアドレスカウンタ107a、107bを備えている。ここで、/CS、/RAS、/CAS、/WE端子は、従来の動作とは異なり、その組み合わせで各種コマンドを入力することによって動作モードが決定されるようになっている。各種コマンドは、コマンドデコーダで解読されて、動作モードに応じて各回路を制御することになる。また、/CS、/RAS、/CAS、/WE信号は、制御信号ラッチ1

05aと105bにも入力されて次のコマンドが入力されるまで、その状態がラッチされる。

【0058】アドレス信号は、アドレスバッファ103で増幅されて各バンクのロードアドレスとして使用される他、コラムアドレスカウンタ107aおよび107bの初期値として使用される。クロックバッファ101は、内部クロック生成回路121および出力タイミング制御回路122を備えている。内部クロック生成回路121は、外部クロックCLKから通常の内部クロック信号を生成するものであり、また、出力タイミング制御回路122は、前述したようなDLL回路を適用して正確な遅延制御 (位相制御) を行ったクロック信号を発生するためのものである。

【0059】I/Oデータバッファ/レジスタ104は、データ入力バッファ13およびデータ出力バッファ (出力回路) 51を備え、DRAMコア108aおよび108bから読み出された信号は、データ出力バッファ51により所定のレベルに増幅され、出力タイミング制御回路122からのクロック信号に従ったタイミングでデータがパッドDQ0~DQ7を介して出力される。また、入力データに関しても、パッドDQ0~DQ7から入力されたデータは、データ入力バッファ13を介して取り込まれる。ここで、本発明の半導体集積回路が対象としているリアル配線 (RL) は、この出力タイミング制御回路122から各データ出力バッファ51までの配線に対応している。

【0060】上記のSDRAMの読み取り動作を図20を参照して説明する。まず、外部クロックCLKは、このSDRAMが使用されるシステムから供給される信号であり、このCLKの立ち上がりに同期して、各種コマンド、アドレス信号、入力データを取込み、又は出力データを出力するように動作する。SDRAMからデータを読み出す場合、コマンド信号 (/CS、/RAS、/CAS、/WE信号) の組み合わせからアクティブ (ACT) コマンドをコマンド端子に入力し、アドレス端子にはローアドレス信号を入力する。このコマンド、ローアドレスが入力されると、SDRAMは活性状態になり、ローアドレスに応じたワード線を選択して、ワード線上のセル情報をビット線に出力し、センスアンプで増幅する。

【0061】さらに、ローアドレスに関係した部分の動作時間 (tRCD) 後に、リードコマンド (Read) とコラムアドレスを入力する。コラムアドレスに従って、選択されたセンスアンプデータをデータバス線に出力し、データバスアンプで増幅し、出力バッファでさらに増幅して出力端子 (DQ) にデータが出力される。これら一連の動作は汎用DRAMとまったく同じ動作であるが、SDRAMの場合、コラムアドレスに関係する回路がパイプライン動作するようになっており、リードデータは毎サイクル連続して出力されることになる。これ

により、データ転送速度は外部クロックの周期になる。

【0062】SDRAMでのアクセス時間には3種類あり、いずれもCLKの立ち上がり時点を基準にして定義される。図20において、 $t_{RAC}$ はローアドレスアクセス時間、 $t_{CAC}$ はコラムアドレスアクセス時間、 $t_{AC}$ はクロックアクセス時間を示している。このSDRAMを高速メモリシステムで使用する場合、コマンドを入力してから最初にデータが得られるまでの時間である $t_{RAC}$ や $t_{CAC}$ も重要であるが、図3で説明したように、クロックアクセス時間 $t_{AC}$ も重要なものである。

【0063】図21は図19のシンクロナスDRAMの要部構成を概略的に示すブロック図であり、SDRAMにおけるパイプライン動作を説明するためのもので、一例としてパイプが3段設けられている場合を示している。SDRAMでのコラムアドレスに関する処理回路は、処理の流れに沿って複数段に分割されており、分割された各段の回路をパイプと呼んでいる。

【0064】クロックバッファ101は、図19を参照して説明したように、内部クロック生成回路121および出力タイミング制御回路122を備え、内部クロック生成回路121の出力（通常の内部クロック信号）がパイプ1およびパイプ2に供給され、出力タイミング制御回路122の出力（位相制御された内部クロック信号）がパイプ3の出力回路51（データ出力バッファ）に供給されるようになっている。

【0065】各パイプは供給された内部クロック信号に従って制御され、各パイプの間には、パイプ間の信号の伝達タイミングを制御するスイッチが設けられており、これらのスイッチも、クロックバッファ101（内部クロック生成回路121）で生成された内部クロック信号により制御される。図21に示す例では、パイプ1において、コラムアドレスバッファ116でアドレス信号を増幅してコラムデコーダ118にアドレス信号を送り、コラムデコーダ118で選択されたアドレス番地に相当するセンスアンプ回路117の情報をデータバスに出力し、データバスの情報をデータバスアンプ119で増幅するまで行われる。また、パイプ2にはデータバス制御回路120のみが設けられ、パイプ3はI/Oバッファ104（出力回路51）で構成されている。なお、I/Oバッファ104におけるデータ入力バッファ13は図21では省略されている。

【0066】そして、各パイプ内の回路も、クロックサイクル時間内で動作完了するならば、パイプとパイプとの間にあるスイッチをクロック信号に同期して開閉することで、リレー式にデータを送り出す。これにより、各パイプでの処理が並行に行われることになり、出力端子にはクロック信号に同期して連続的にデータが出力されることになる。

【0067】図22は本発明に係る半導体集積回路にお

ける出力回路（データ出力バッファ回路：51）の一構成例を説明するための図である。図21および図22に示されるように、図22におけるData1およびData2は、セルアレイ115から読み出され、センスアンプ117とデータバスアンプ119とデータバス制御回路120を介して出力された記憶データに対応する信号であり、Data1およびData2は、出力データが高レベル“H”の場合には共に低レベル“L”であり、出力データが低レベル“L”の場合には共に高レベル“H”である。なお、出力データが高レベル“H”でも低レベル“L”でもないハイインピーダンス状態（ハイゼット状態）をとることも可能であり、その場合にはデータバス制御回路120において、Data1が高レベル“H”に、Data2が低レベル“L”になるように変換される。信号 $\phi_{oe}$ は、出力タイミング制御回路122（図2中の遅延回路33）の出力信号（クロック信号）に対応するもので、出力回路51のイネーブル信号として機能するものである。

【0068】クロック信号 $\phi_{oe}$ が高レベル“H”になると、Data1とData2の情報がデータ出力パッド6（DQ0～DQ7）に現出するように動作する。例えば、データ出力パッド6に高レベル“H”を出力する場合を想定すると、クロック信号 $\phi_{oe}$ が低レベル“L”から高レベル“H”に変化し、ノード8a-1が低レベル“L”に、ノード8a-2が高レベル“H”になって、トランスファークゲートがオンしてData1およびData2がノード8a-3および8a-6に伝達される。その結果、ノード8a-5が低レベル“L”に、ノード8a-8が高レベル“H”になると、出力用のPチャンネルトランジスタ81はオンとなり、また、Nチャンネルトランジスタ82はオフとなって、データ出力パッド6には高レベル“H”の出力が現れることになる。また、クロック信号 $\phi_{oe}$ が低レベル“L”になると、トランスファークゲートはオフして、それまでの出力状態が保持される。

【0069】以上の説明では、本発明の半導体集積回路をシンクロナスDRAMとして説明したが、本発明はシンクロナスDRAMに限らず、外部から入力される信号に同期して出力信号が出力される半導体集積回路であればどのようなものにも適用可能である。図23は本発明に係る半導体集積回路におけるダミーの内部出力クロック配線42（ダミー配線DL）の一構成例を説明するための図である。図23から明らかなように、ダミー配線DLは、リアル配線41（RL）と同じ線幅の配線により形成され、図2に示されるように、ダミー遅延回路34とダミー出力回路52との間のチップ上に形成される。なお、このダミー配線の代わりに、所定の値を有する容量素子或いは抵抗素子等を組み合わせて代用することも可能である。

【0070】以上の説明では、メモリ（SDRAM）を



例として説明したが、本発明は、他の様々な半導体集積回路に対しても幅広く適用することができる。さらに、上記各実施例では、制御信号としてクロック信号を例に取って説明したが、制御信号としてはクロック信号に限定されるものでないのはもちろんである。

#### 【0071】

【発明の効果】以上、詳述したように、本発明の半導体集積回路によれば、使用する制御信号の周波数がさらに高速化した場合での位相同期した制御信号を生成することができる。さらに、本発明の半導体集積回路によれば、位相比較を所定のタイミングで行うことにより、出力する制御信号を安定させることができる。

#### 【図面の簡単な説明】

【図1】関連技術としての半導体集積回路の一例を示すブロック図である。

【図2】本発明に係る半導体集積回路の一実施例を示すブロック図である。

【図3】図2の半導体集積回路における分周回路の一例を示す回路図である。

【図4】図3の分周回路の各ノードの信号波形を示す図である。

【図5】図3の分周回路を使用した半導体集積回路の動作を説明するためのタイミング図である。

【図6】図2の半導体集積回路における分周回路の他の例を示す回路図である。

【図7】図6の分周回路の各ノードの信号波形を示す図である。

【図8】図6の分周回路を使用した半導体集積回路の動作を説明するためのタイミング図である。

【図9】本発明の半導体集積回路における遅延回路の一構成例を説明するための図である。

【図10】本発明の半導体集積回路における遅延制御回路の一構成例を説明するための図である。

【図11】図10の遅延制御回路の動作を説明するためのタイミング図である。

【図12】本発明の半導体集積回路における位相比較回路（位相比較部）の一構成例を説明するための図である。

【図13】図12の位相比較回路の動作を説明するためのタイミング図である。

【図14】本発明の半導体集積回路における位相比較回

路（増幅回路部）の一構成例を説明するための図である。

【図15】図14の位相比較回路におけるJKフリップフロップの動作を説明するためのタイミング図である。

【図16】図14の位相比較回路における増幅回路部の動作を説明するためのタイミング図（カウントアップ時）である。

【図17】図14の位相比較回路における増幅回路部の動作を説明するためのタイミング図（カウント維持時）である。

【図18】図14の位相比較回路における増幅回路部の動作を説明するためのタイミング図（カウントダウン時）である。

【図19】本発明に係る半導体集積回路が適用される一例としてのシンクロナスDRAMの構成を示す図である。

【図20】図19のシンクロナスDRAMの動作を説明するためのタイミング図である。

【図21】図19のシンクロナスDRAMの要部構成を概略的に示すブロック図である。

【図22】本発明に係る半導体集積回路における出力回路（データ出力バッファ回路）の一構成例を説明するための図である。

【図23】本発明に係る半導体集積回路におけるダミーの内部出力クロック配線（ダミー配線）の一構成例を説明するための図である。

#### 【符号の説明】

1…クロック入力パッド

3…DLL回路

6…データ出力パッド

7…ダミー負荷容量

21…入力回路（クロックバッファ）

22…ダミー入力回路（クロックバッファ）

31…位相比較回路（デジタル位相比較器）

32…遅延制御回路

33…遅延回路（第1の遅延回路）

34…ダミー遅延回路（第2の遅延回路）

41…クロック配線（リアル配線）

42…ダミー配線

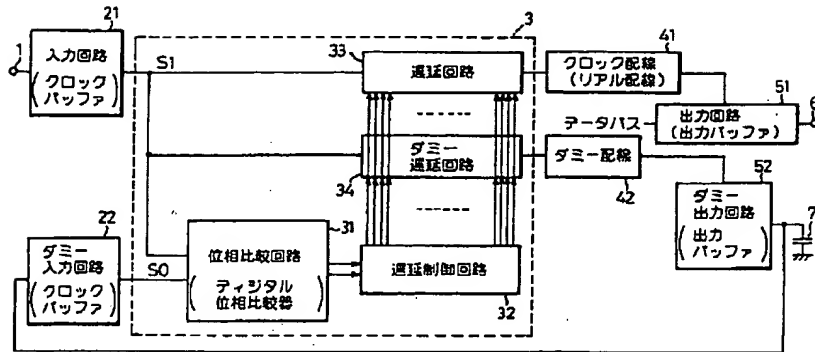
51…出力回路（出力バッファ）

52…ダミー出力回路（出力バッファ）



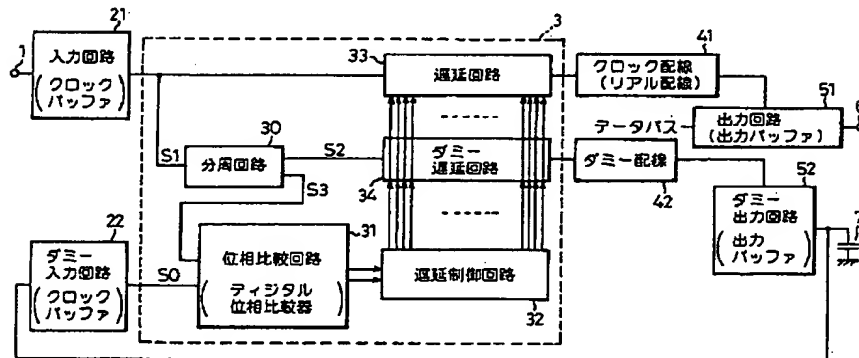
【図1】

関連技術としての半導体集積回路の一例を示すブロック図



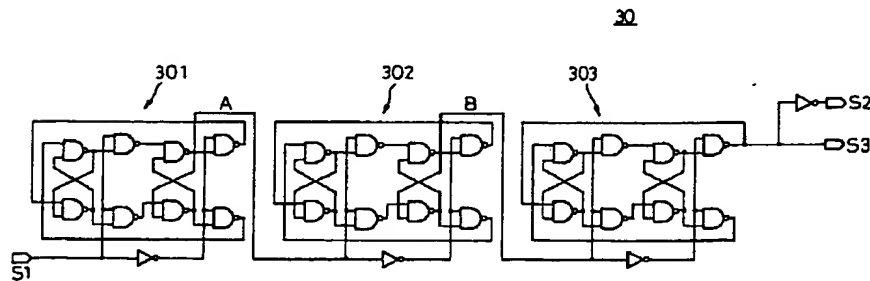
【図2】

本発明に係る半導体集積回路の一実施例を示すブロック図



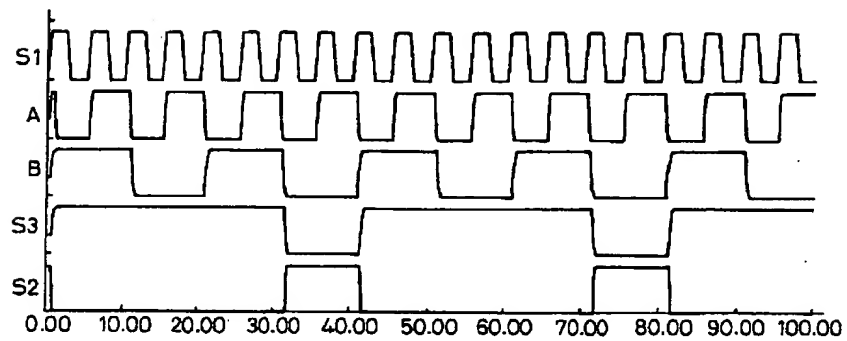
【図3】

図2の半導体集積回路における分周回路の一例を示す回路図



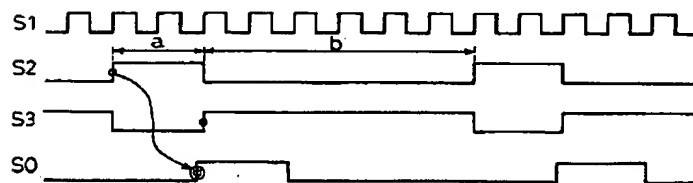
【図4】

図3の分周回路の各ノードの信号波形を示す図



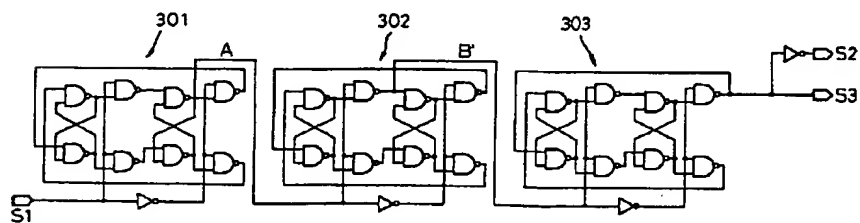
【図5】

図3の分周回路を使用した半導体集積回路の動作を説明するためのタイミング図



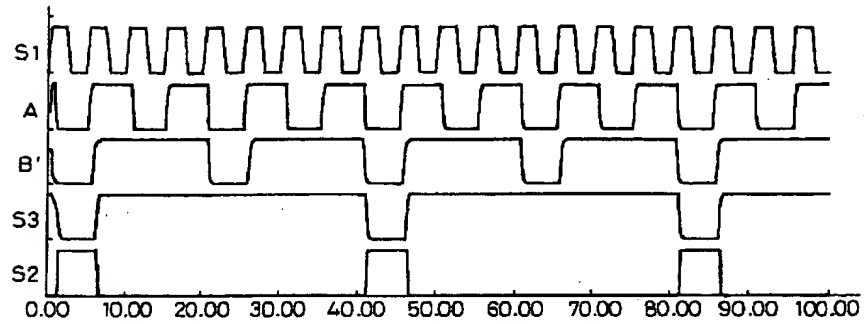
【図6】

図2の半導体集積回路における分周回路の他の例を示す回路図



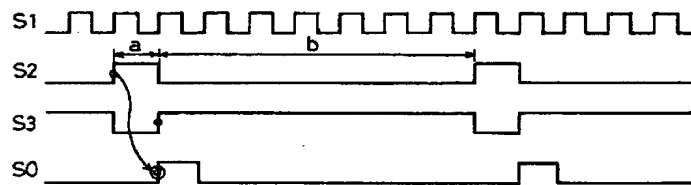
【図7】

図6の分周回路の各ノードの信号波形を示す図



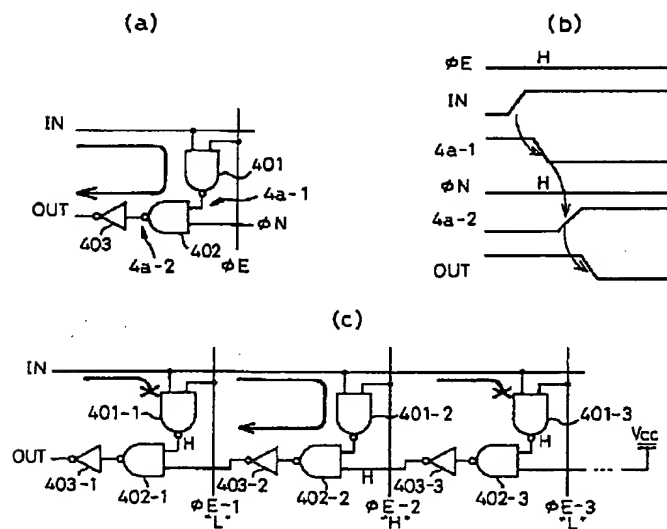
【図8】

図6の分周回路を使用した半導体集積回路の動作を説明するためのタイミング図



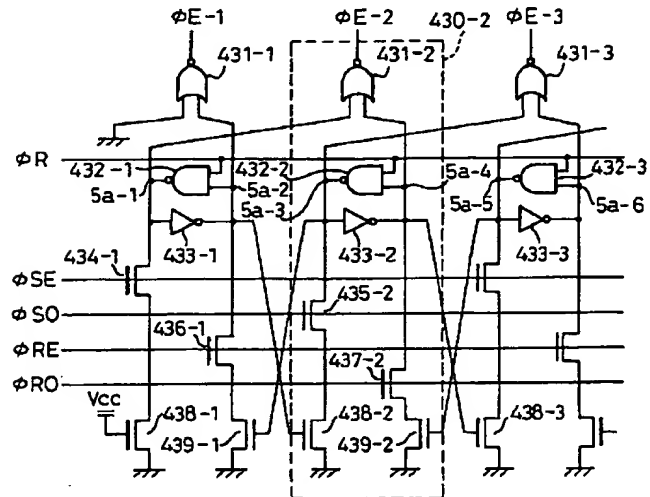
【図9】

本発明の半導体集積回路における遅延回路の一構成例を説明するための図



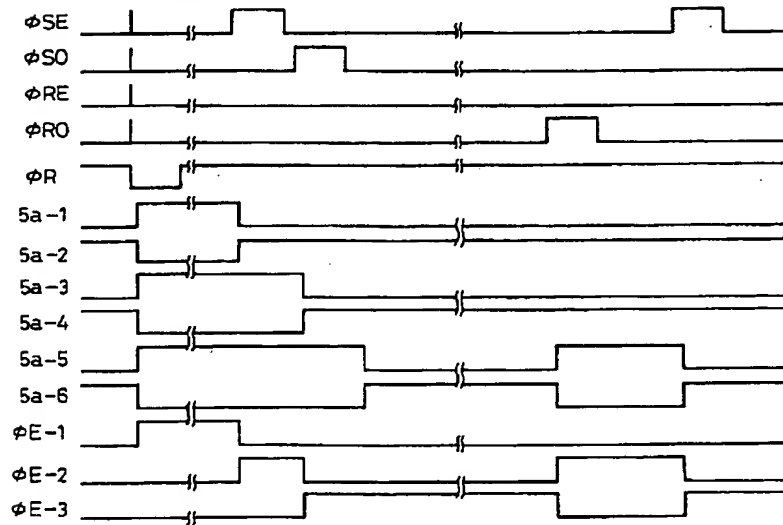
【図10】

本発明の半導体集積回路における遅延制御回路の一構成例を説明するための図



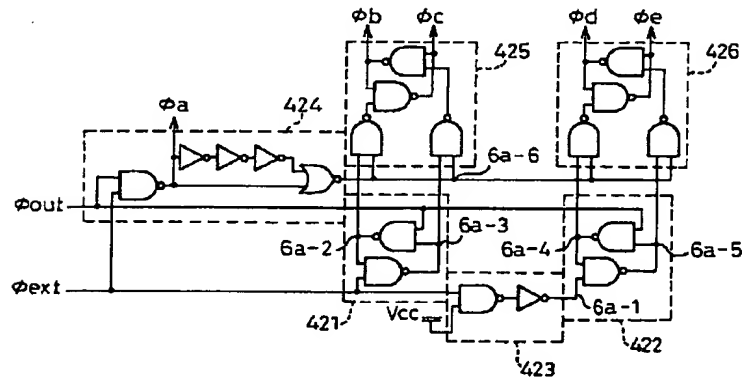
【図11】

図10の遅延制御回路の動作を説明するためのタイミング図



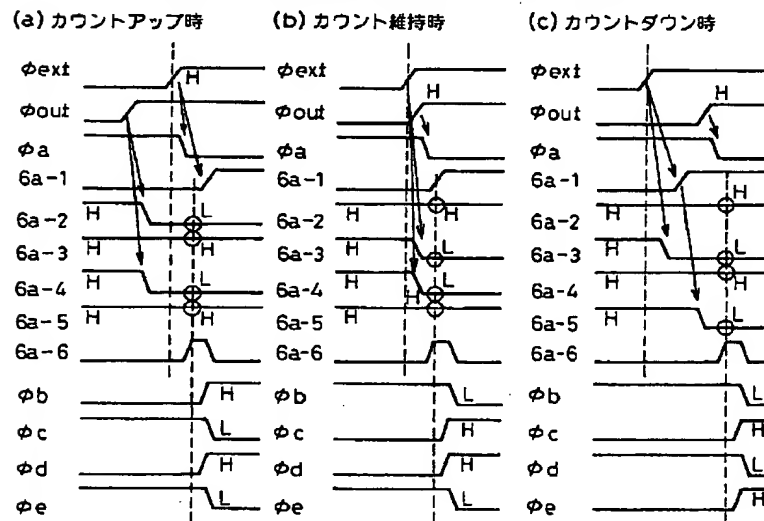
【図12】

本発明の半導体集積回路における位相比較回路（位相比較部）の一構成例を説明するための図



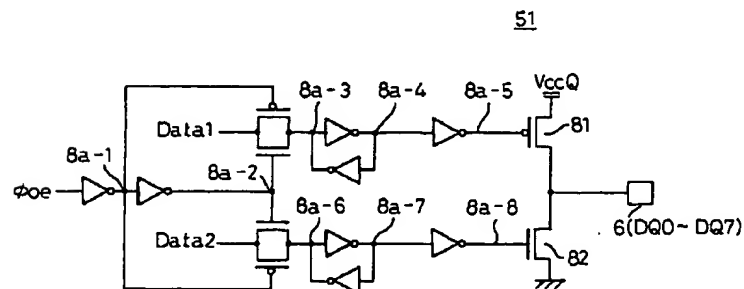
【図13】

図12の位相比較回路の動作を説明するためのタイミング図



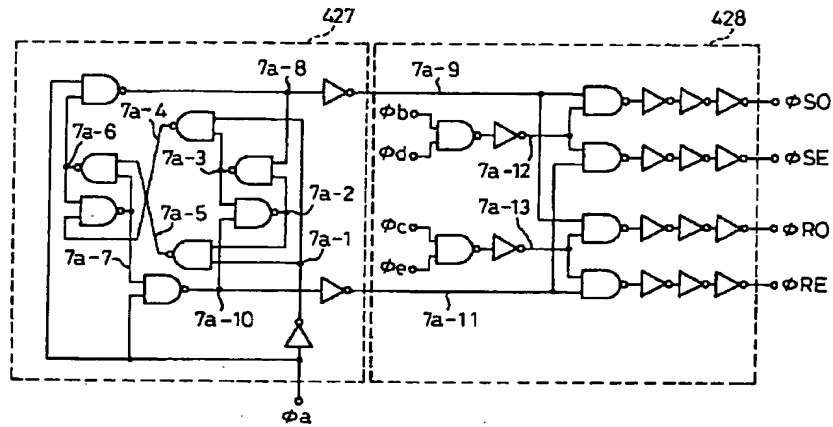
【図22】

本発明に係る半導体集積回路における出力回路（データ出力バッファ回路）の一構成例を説明するための図



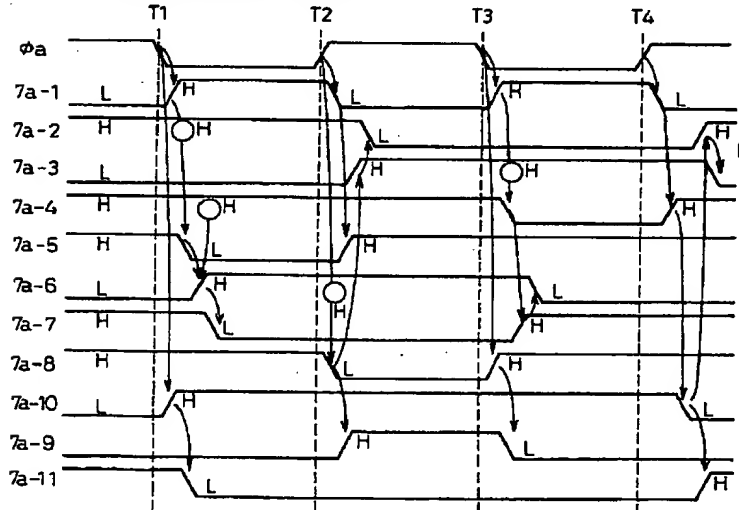
【図14】

本発明の半導体集積回路における位相比較回路（増幅回路部）の一構成例を説明するための図



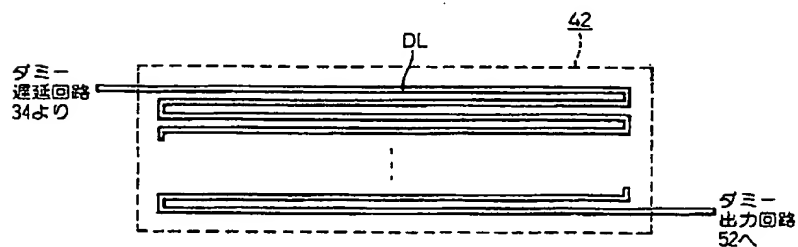
【図15】

図14の位相比較回路におけるJKフリップフロップの動作を説明するためのタイミング図



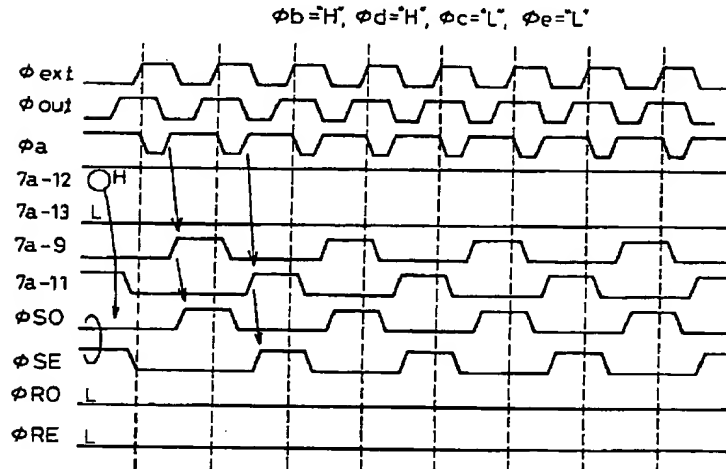
【図23】

本発明に係る半導体集積回路におけるダミーの内部出力クロック配線（ダミー配線）の一構成例を説明するための図



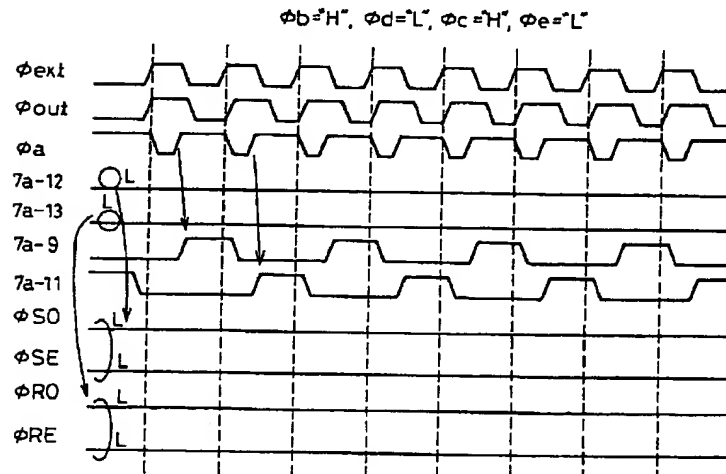
【図16】

図14の位相比較回路における増幅回路部の動作を説明するための  
タイミング図（カウントアップ時）



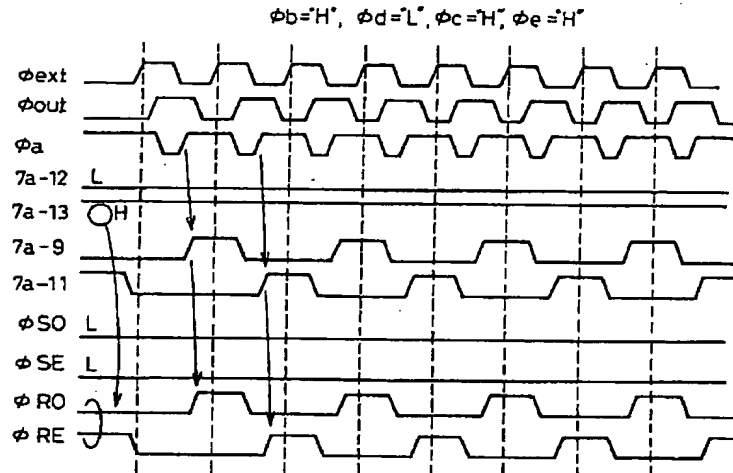
【図17】

図14の位相比較回路における増幅回路部の動作を説明するための  
タイミング図（カウント維持時）



【図18】

図14の位相比較回路における増幅回路部の動作を説明するための  
タイミング図（カウントダウン時）



【図19】

本発明に係る半導体集積回路が適用される一例としてのシンクロナス  
DRAMの構成を示す図

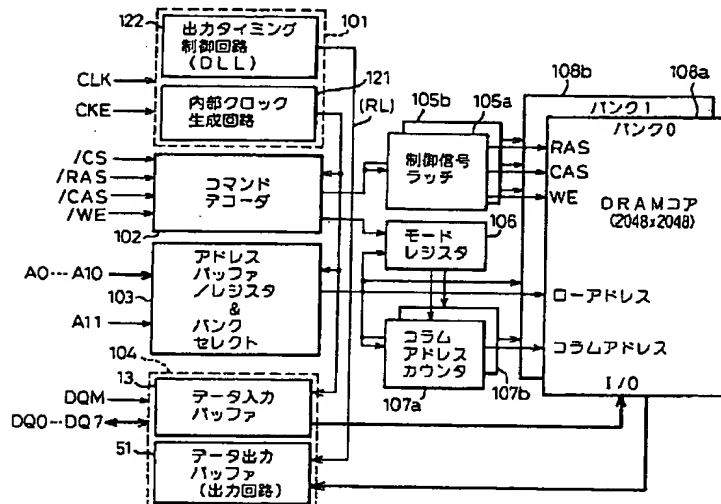




図19のシンクロナスD R A Mの動作を説明するためのタイミング図

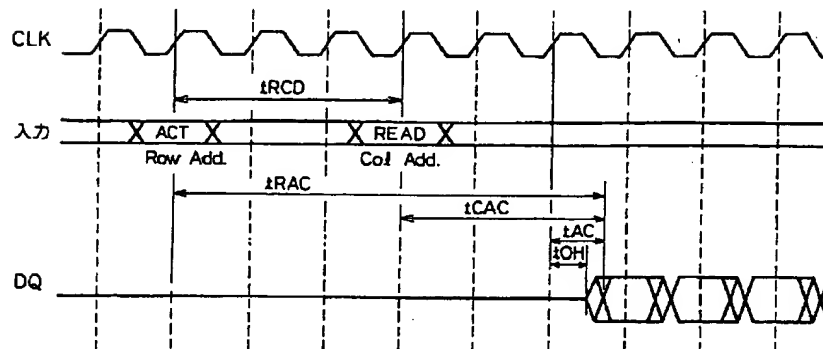
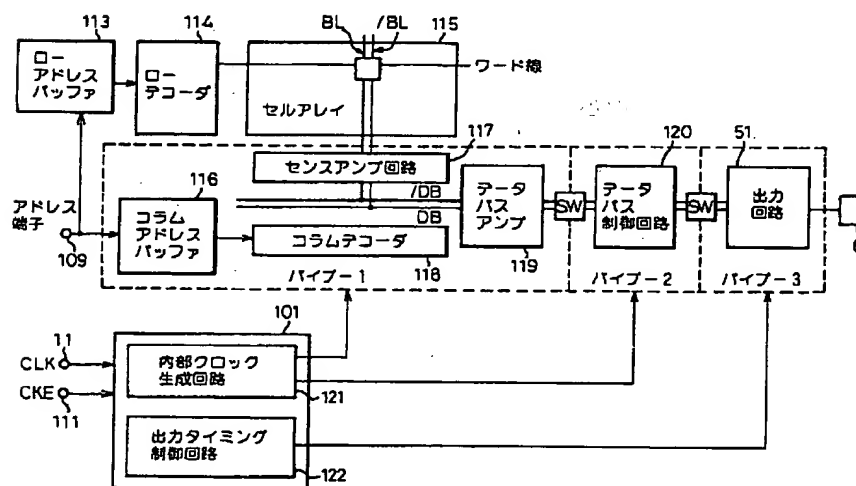


図19のシンクロナスDRAMの要部構成を概略的に示すブロック図



**THIS PAGE BLANK (USPTO)**